

Arquitetura de Computadores

2011/2012 2º Semestre

2º Teste (A) - 06/06/2012

INSTRUÇÕES:

- A duração da prova é de 1,5 horas.
- Identifique todas as folhas do teste com o seu número e nome de forma bem legível.
- Responda apenas nos locais indicados. As folhas serão separadas e corrigidas isoladamente.
- A cotação das perguntas está indicada entre parênteses à direita do texto.
- Nas perguntas Verdade/Falso ou de escolha múltipla as respostas erradas descontam.

I

As perguntas deste grupo referem-se todas ao processador P3 e são independentes entre si.

1.1 Indique na tabela seguinte, usando linguagem de transferência de registos (RTL), quais as micro-operações realizadas pela microinstrução **7290339D** h. (2)

(pode usar como rascunho o espaço no fim desta folha)

Operações realizadas (em RTL):	
$RD \leftarrow ! RD, \text{ flags ZN}$	[2/4]
$M[RD] \leftarrow R9$	[1/4]
$CAR \leftarrow WB$	[1/4]

(RD ou R13)

Nota: Utilize apenas as posições da tabela que considere necessárias

1.2 Considere que se pretende que as seguintes micro-operações se realizem num único ciclo de relógio:

$$R8 \leftarrow 03C0 \text{ h}, \text{ SBR} \leftarrow \text{CAR}+1, \text{ CAR} \leftarrow \text{F1}$$

Indique na tabela seguinte a codificação de uma micro-instrução que faz com que isso aconteça ou justifique que tal não é possível. (2)

NOTA: Preencher com 0, 1 ou X para os sinais indiferentes.

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0	M5				S R 1	S R 2	I A K	FM				CALU				M A	M B	M 2	M R B	RB				W M	W R		M D		M A D		R A D		
1					L S	MCOND				C C	L I	L F	CONST/NA																				
	1	1	1	0	0	1	X	X	X	X	0	0	0	0	1	1	1	1	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0

Zona de rascunho para a pergunta 1.1 (será totalmente ignorado durante a correcção)

0	1	1	1	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0	1	1	0	0	1	1	1	0	0	1	1	1	0	1	1	1	0	1
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

1.3 Pretende-se implementar no processador P3 a instrução “CLRM op1, op2” que coloca a 0 o número de posições de memória indicado por op2, começando no endereço indicado por op1 (ver exemplos abaixo). A instrução CLRM não altera nenhum dos operandos.

O operando op2 está representado em complemento para 2. A instrução aceita apenas valores positivos de op2. Se este operando for 0, a instrução limita-se a activar a flag Z e termina. Se op2 for negativo, activa a flag N e termina também.

Exemplos: CLRM 9000h, R1

Se R1 = 5 → apaga 5 posições de memória começando em 9000h (9000h a 9004h)

Se R1 = 0 → activa a flag Z

Se R1 = -2 → activa a flag N

Preencha a tabela seguinte com o micro-programa correspondente à fase de execução da instrução CLRM. Deverá utilizar exclusivamente as micro-instruções disponibilizadas na lista abaixo. Apenas deverá indicar o número de cada uma das micro-instruções utilizadas. (3)

CLRM0:	SBR←CAR+1, CAR←F2
CLRM1:	23 SD+R0, Flags ZN
CLRM2:	z?CAR←CLRM9
CLRM3:	19 shl SD
CLRM4:	c?CAR←CLRM9
CLRM5:	47 M[RD]←R0
CLRM6:	RD←RD+1
CLRM7:	27 SD←SD-1
CLRM8:	!z?CAR←CLRM5
CLRM9:	3 CAR←IH0

Nº	Micro-Instrução
1	CAR←IF0
2	CAR←IF1
3	CAR←IH0
4	CAR←WB
5	CAR←F1
6	CAR←F2
7	CAR←CAR+1
8	SBR←CAR+1, CAR←F1
9	SBR←CAR+1, CAR←F2
10	SBR←CAR+1, CAR←WB
11	RD←shr RD
12	RD←shl RD
13	SD←shr SD
14	SD←shl SD
15	EA←shr EA
16	EA←shl EA
17	shl RD
18	shr RD

Nº	Micro-Instrução
19	shl SD
20	shr SD
21	shl EA
22	shr EA
23	SD+R0, Flags ZN
24	SD+R8
25	SD+R9, Flags ZN
26	SD←SD+1
27	SD←SD-1
28	SD←SD-1, Flags ZN
29	RD+R0
30	RD+R8
31	RD+R9
32	RD+R10
33	RD+SD
34	RD+EA
35	SD←R8
36	SD←R9

Nº	Micro-Instrução
37	SD←R10
38	SD←RD
39	SD←EA
40	RD←R8
41	RD←R9
42	RD←R10
43	RD←SD
44	RD←EA
45	M[R8]←R0
46	M[SD]←R0
47	M[RD]←R0
48	R8←R8+1, Flags ZN
49	R8←R8-1, Flags ZN
50	R9←R0
51	R9←R9+1
52	R9←R9-1
53	R9←R9+1, Flags ZN
54	R9←R9-1, Flags ZN

II

2.1 Considere um sistema com um processador com 17 linhas de endereço – de A16 (maior peso) a A0 (menor peso) e 8 linhas de dados. Neste sistema existem três zonas de memória:

- M1 – Possui 32K palavras a começar em 08000h e acabar em 0FFFFh.
- M2 – Possui 8K palavras que começam a partir do meio do espaço de memória.
- M3 – Possui 16K palavras que ocupam a gama mais elevada de endereços.

a) Indique as respectivas funções de selecção. (1,5)

M1: -A16.A15

M2: A16.-A15.-A14.-A13

M3: A16.A15.A14

b) Indique o tamanho do espaço de memória não ocupado. (0,5)

$$2^{17}=128K \quad 128-32-8-16 = \underline{72 \text{ K palavras}}$$

2.2. Considere as seguintes funções de selecção de duas memórias, num sistema com 1M palavras de capacidade.

$$S1 = A19.-A18.-A17.A16$$

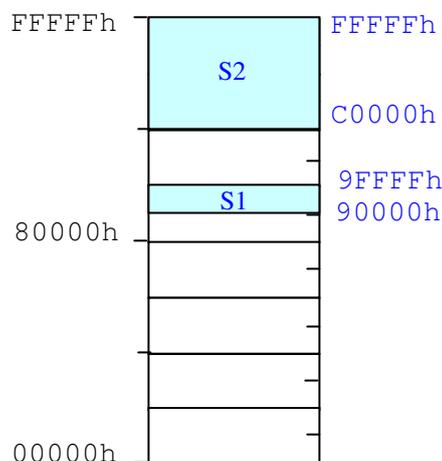
$$S2 = A19.A18$$

a) Indique as dimensões das zonas de memória correspondentes. (0,5)

S1 → 64 K palavras

S2 → 256 K palavras

b) Assinale na figura abaixo a localização das duas memórias no espaço de endereçamento. Indique também, na figura, o primeiro e último endereço de cada memória. (0,5)



(página propositadamente em branco; pode usar para rascunho)

III

3.1 O troço de programa seguinte é executado num sistema com o processador P3 com uma cache de dados com 4k palavras, blocos de 4 palavras, mapeamento directo e política *write-back* com *write-allocate*.

```

VALUE    EQU    4C5Ch
SIZE     EQU    1000
NCOEFS   EQU    4

          ORIG   8000h
COEFS    STR    0004h, 0051h, 002F, 0001h
DATA     TAB    SIZE

          ORIG   0000h
          MOV    R1, SIZE
          MOV    R2, DATA
          MOV    R5, VALUE
LOOPC:   MOV    R3, COEFS
          MOV    R4, NCOEFS
LOOPD:   MOV    R6, M[R3]
          MUL   R6, R5
          MOV   M[R3], R5
          MOV   M[R2], R5
          DEC   R1
          BR.Z  END
          INC   R2
          INC   R3
          DEC   R4
          BR.NZ LOOPD
          BR   LOOPC
END:     BR    END
    
```

a) Assinale abaixo, com um círculo, qual a taxa de sucesso na cache de dados ao executar o programa. (1)

Após as 4 primeiras iterações, COEFS está todo na 1ª linha da cache e não é afectado; logo: 4 hits leitura + 4 hits escrita.

O acesso a DATA será inicialmente miss e depois carrega bloco e terei em seguida 3 hits.

Total hits = 11 / Total acessos = 12 → ~92%

E: ~ 92%	F: Nenhuma das opções anteriores.
----------	-----------------------------------



b) Indique a taxa de sucesso na cache de dados ao executar o programa se o tamanho dos blocos for de 2 palavras. (1)

A: ~ 0%	B: ~ 33%	C: ~ 50%	D: ~ 83%	E: ~ 92%	F: Nenhuma das opções anteriores.
---------	----------	----------	----------	----------	-----------------------------------



Após as 4 primeiras iterações, COEFS está todo nas 2 primeiras linhas da cache e não é afectado; logo: 4 hits leitura + 4 hits escrita.

O acesso a DATA será inicialmente miss e depois carrega bloco e terei em seguida um 1 hit.

Idem para a linha seguinte (2 acessos: miss, hit)

Total hits = 10 / Total acessos = 12 → ~83%

c) Indique a taxa de sucesso na cache de dados ao executar o programa se a cache tiver apenas 4 palavras, com bloco de 4 palavras. **(1)**

A: ~ 0%	B: ~ 33%	C
---------	----------	---

↑

Apenas 1 bloco de 4 palavras; no acesso a COEFS terei miss (leitura) e hit (escrita); o acesso a DATA limpa linha e tenho miss; repete...
 Total hits = 1 / Total acessos = 3 → ~33%

3.2 Considere um sistema de memória virtual paginada. O endereço virtual tem 18 bits. O campo de deslocamento do endereço virtual tem 7 bits. O espaço de endereçamento físico é de 8k palavras.

a) Indique a dimensão das páginas. **(0,5)**

$$2^7 = \underline{128 \text{ palavras}}$$

b) Indique quantas páginas tem o espaço de endereçamento virtual. **(0,5)**

$$18-7 = 11 \quad 2^{11} = \underline{2 \text{ K}}$$

c) Pretende-se aceder ao endereço virtual 14A32h. Indique, em hexadecimal, o índice da tabela de páginas que será consultado. **(0,5)**

$$\underline{01 \ 0100 \ 1010 \ 0011 \ 0010} \quad \underline{294 \text{ h}}$$

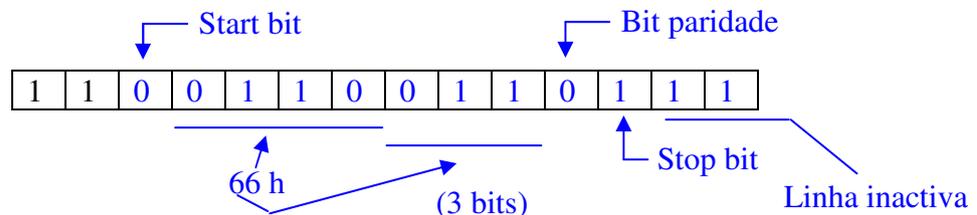
d) No acesso ao endereço virtual 14A32h foi lida da tabela de páginas o valor 5h. Indique em hexadecimal o endereço físico acedido. **(0,5)**

$$00 \ 0101 \ 011 \ 0010 \quad \underline{2B2 \text{ h}}$$

IV

4.1 Considere uma comunicação série assíncrona com as seguintes características específicas: 7 bits de dados, paridade par e 1 stop bit.

a) Preencha abaixo a sequência de bits enviados correspondentes à transmissão do valor 66 h (recorda-se que, relativamente aos bits de dados, é enviado primeiro o bit menos significativo e, em último lugar, o bit mais significativo). (1)



b) Considerando as características da comunicação e assumindo que o envio de um bit demora 100 us, indique o tempo mínimo que demora a enviar um ficheiro que possua 700 bytes (1 byte = 8 bits). (1)

$$700 * 8 / 7 * 10 * 100us = 800 ms$$

700 bytes * 8 = 5600 bits a enviar
 Como são enviados 7 bits de cada vez, são feitos 5600 / 7 = 800 envios
 Em cada envio são transmitidos 10 bits (start + 7 dados + paridade + stop)
 Total de bits enviados: 800 * 10 = 8000. Tempo: 8000 * 100us = 800 ms

4.2 Dois sistemas dialogam entre si usando comunicação série síncrona em que a *flag* delimitadora é constituída pelo padrão 0111 1110 e em que é usada a técnica *bit stuffing*.

Ao monitorizar a linha de comunicação observou-se a seguinte sequência de bits

0 1 1 1 1 1 1 0 0 1 1 1 1 1 1 0 1 0 1 1 1 1 1 1 0 0 0 0 0 1 1 1 1 1 1 0

Assinale abaixo qual a informação que foi enviada. (1)

A: 0 1 1 1 1 1 1 0 0 1 1 1 1 1 1 1 0 1 1 1 1 1 1 0 0 0 0 0 1 1 1 1 1 1 0

B: 0 1 1 1 1 1 1 0 0 1 1 1 1 1 1 1 0 1 1 1 1 1 1 0 0 0 0 1 1 1 1 1 1 0

→ C: 0 1 1 1 1 1 1 0 1 1 1 1 1 1 0 0 0

D: 0 1 1 1 1 1 1 1 0 1 1 1 1 1 1 0 0 0 0

E: Nenhuma das anteriores

Continua →

4.3 Considere um sistema que inclui um controlador de DMA. Pretende-se que indique, da lista abaixo, quais as acções que ocorrem e a respectiva ordem, quando é desencadeada uma transferência por DMA.

- 1 - Processador activa DMA_Grant
- 2 - Processador activa Bus_Grant
- 3 - Processador efectua transferência
- 4 - Periférico activa DMA_Request
- 5 - Periférico activa Bus_Request
- 6 - DMA efectua transferência
- 7 - DMA activa Bus_Request
- 8 - DMA activa Bus_Grant
- 9 - DMA activa DMA_Request
- 10 - DMA activa DMA_Grant

Assinale abaixo, com um círculo, a letra correspondente às acções correctas e ordem correcta. (1)

- A: 5, 2, 6, 3
 B: 9, 1, 7, 2, 6
→ C: 4, 7, 2, 10, 6
 D: 5, 9, 1, 8, 6
 E: Nenhuma das opções anteriores está correcta.

4.4 Apresentam-se em seguida várias afirmações. Assinale quais as verdadeiras (use **V**) e quais as falsas (use **F**). (1)

V	A: Num sistema que use uma linha de interrupção partilhada, sem interrupções vectorizadas, os diferentes periféricos ligados a essa linha são todos tratados pela mesma rotina de tratamento de interrupção.
V	B: Num sistema que use uma linha de interrupção partilhada com interrupções vectorizadas, o processador necessita dispor de uma linha IAK
F	C: Num sistema que use um PIC os periféricos a ele ligados têm todos o mesmo nível de prioridade
F	D: Os PICs, tipicamente, não permitem mascarar interrupções