

2½ Vals.

(c) Em processamento de sinal, alguns algoritmos incluem um passo de contagem do número de bits a “1” de um determinado conjunto de dados. De facto, nalguns processadores o conjunto de instruções foi mesmo expandido de forma a incluir a contagem de 1’s como uma instrução básica.

Pretende-se implementar no processador P3 uma instrução capaz de fazer a contagem do número de 1’s de um vector de dimensão N. Para tal, é usada a instrução SUMONES op1, op2 cujos operandos op1 e op2 são o endereço do início e a dimensão do vector, respectivamente.

$$SUMONES(\text{Vector}, N) = \sum_{i=0}^{N-1} \text{Ones}(\text{Vector}[i]) \tag{1}$$

Para além de retornar o resultado da contagem de 1’s, esta instrução deverá ainda actualizar as flags **Z** e **C**, de acordo com o valor retornado. Ilustra-se, no programa ao lado, uma possível invocação da operação SUMONES, bem como do valor resultante da respectiva execução.

```

...
Data    STR 0103h, 0204h, ...
...
MOV     R1, 0002h
MOV     R2, Data
...
SUMONES R2, R1 ; R2 = 5h, Z = 0, C = 0
...
    
```

Preencha a tabela com o micro-programa correspondente à fase de execução da instrução SUMONES. Deverá utilizar exclusivamente as micro-instruções disponibilizadas na tabela abaixo. Apenas deverá indicar o número de cada uma das micro-instruções utilizadas.

SUMONES_0:	
SUMONES_1:	R9<-R9-R9, Flags Z,C
SUMONES_2:	
SUMONES_3:	R8-R0
SUMONES_4:	z? CAR<-SUMONES_9
SUMONES_5:	
SUMONES_6:	!c? CAR<-SUMONES_3
SUMONES_7:	
SUMONES_8:	CAR<-SUMONES_3
SUMONES_9:	RD<-RD+1
SUMONES_10:	
SUMONES_11:	!z? CAR<-SUMONES_2
SUMONES_12:	

NOTA: Nas posições livres indique o número da micro-instrução (de acordo com a lista abaixo).

Nº	Micro-Instrução
1	CAR<-IF0
2	CAR<-IF1
3	CAR<-F1
4	CAR<-F2
5	SBR<-CAR+1, CAR<-F1
6	SBR<-CAR+1, CAR<-F2
7	SBR<-CAR+1, CAR<-WB
8	CAR<-IHO
9	CAR<-WB
10	CAR<-WB, SD<-R8
11	CAR<-WB, RD<-R8
12	CAR<-WB, SD<-R9
13	CAR<-WB, RD<-R9
14	CAR<-CAR+1
15	R8-R0
16	R9-R0
17	SD-R0
18	EA-R0

Nº	Micro-Instrução
19	RD-R0
20	R8<-R8 + R9, Flags Z,C
21	R9<-R9 + R8, Flags Z,C
22	R8<-R8 - 1, Flags Z,C
23	R9<-R9 - 1, Flags Z,C
24	EA<-EA - 1, Flags Z,C
25	SD<-SD - 1, Flags Z,C
26	RD<-RD - 1, Flags Z,C
27	R8<-R8 + 1, Flags Z,C
28	R9<-R9 + 1, Flags Z,C
29	EA<-EA + 1, Flags Z,C
30	SD<-SD + 1, Flags Z,C
31	RD<-RD + 1, Flags Z,C
32	R8<-shr R8, Flags Z,C
33	R8<-shra R8, Flags Z,C
34	R9<-shr R9, Flags Z,C
35	R9<-shra R9, Flags Z,C
36	R8<-shr R8

Nº	Micro-Instrução
37	R8<-shra R8
38	R9<-shr R9
39	R9<-shra R9
40	R10<-shr R10
41	R10<-shra R10
42	R8<-ror R8
43	R9<-ror R9
44	R8<-rol R8
45	R9<-rol R9
46	EA<-EA-1
47	SD<-SD-1
48	RD<-RD-1
49	EA<-EA+1
50	SD<-SD+1
51	RD<-RD+1
52	R8<-M[EA]
53	R8<-M[SD]
54	R8<-M[RD]

II.

1 Val.

(a) Considere um sistema com um processador que possui 10 linhas de endereço - de A9 (maior peso) a A0 (menor peso) - e 8 linhas de dados. Neste sistema existem quatro zonas de memória:

- ROM M1 - Possui 256 palavras que ocupam a gama de endereços mais elevada.
- ROM M2 - Possui 64 palavras e está localizada imediatamente abaixo da ROM M1.
- RAM M3 - Possui 128 palavras e está localizada imediatamente acima da RAM M4.
- RAM M4 - Ocupa 512 palavras que ocupam a gama de endereços mais baixa.

Indique quais as funções de descodificação destas zonas de memória (MS - Memory Select). Circule a letra correspondente à resposta correcta.

A - $MS1 = A9.A8$; $MS2 = \overline{A9}.\overline{A8}.A7.A6$; $MS3 = A9.\overline{A8}.\overline{A7}$; $MS4 = \overline{A9}$;

B - $MS1 = A9.\overline{A8}$; $MS2 = \overline{A9}.\overline{A8}.A7.A6$; $MS3 = A9.\overline{A8}.\overline{A7}$; $MS4 = \overline{A9}$;

C - $MS1 = A9.A8$; $MS2 = A9.\overline{A8}.A7.A6$; $MS3 = A9.\overline{A8}.\overline{A7}$; $MS4 = \overline{A9}$;

D - $MS1 = A9.\overline{A8}$; $MS2 = A9.\overline{A8}.A7.A6$; $MS3 = A9.\overline{A8}.A7$; $MS4 = A9.A8$;

E - $MS1 = \overline{A9}.A8$; $MS2 = A9.\overline{A8}.\overline{A7}.A6$; $MS3 = A9.\overline{A8}.A7$; $MS4 = A9$;

F - Nenhuma das anteriores.

(Espaço propositadamente em branco, para rascunho)

(b) Considere as seguintes funções de descodificação de três memória:

- Mem1 - $A_{15}.\overline{A_{14}}$
- Mem2 - $A_{15}.A_{14}.A_{13}.\overline{A_{12}}.\overline{A_{11}}$
- Mem3 - $\overline{A_{15}}.A_{14}.\overline{A_{13}}$

1 Val.

i. Indique, em hexadecimal, o primeiro e último endereço ocupado pelas memórias.

- Início Mem1: _____
- Fim Mem1: _____
- Início Mem2: _____
- Fim Mem2: _____
- Início Mem3: _____
- Fim Mem3: _____

1/2 Val.

ii. Indique as capacidades das memórias.

- Mem1: _____
- Mem2: _____
- Mem3: _____

1/2 Val.

iii. A figura seguinte representa o mapa de memória do sistema. Assinale nessa figura a localização das três memórias.



III. Considere um sistema que usa um processador semelhante ao P3 com um espaço de endereçamento de 64K palavras de 16 bits. Nesse sistema será corrido o seguinte troço de programa.

```

      SIZE   EQU   400h
                ORG   8000h
      V1     TAB   SIZE
      V2     TAB   SIZE

                ORG   0000h
      MOV    R1, R0
      Next:  SUB   M[R1+V1], R1
            ADD   M[R1+V2], R1
            INC   R1
            CMP   R1, SIZE
            BR.NZ Next
            ...

```

1 Val.

- (a) Considere que o sistema possui uma cache de mapeamento directo com 1K palavras, usando blocos com 4 palavras e uma política de escrita “write-back” com “write-allocate”. Se esta cache for usada exclusivamente para acesso aos dados indique qual a taxa de sucesso (“hit rate”). Não se esqueça que as instruções SUB e ADD geram 2 acessos a dados: um na leitura dos operandos, outro na escrita do resultado.

Nota: Valores arredondados às unidades.

A	B	C	D	E	F
13%	25%	50%	75%	88%	<i>Nenhuma das anteriores</i>

1 Val.

- (b) Se, em alternativa, for usada uma cache com o dobro da capacidade (2K palavras) e esta possuir blocos de 2 palavras, indique qual será a taxa de sucesso (“hit rate”).

Nota: Valores arredondados às unidades.

A	B	C	D	E	F
13%	25%	50%	75%	88%	<i>Nenhuma das anteriores</i>

1 Val.

- (c) Considere que o sistema possui memória primária com um tempo de acesso de 120 ns e que a cache possui um tempo de acesso de 40 ns. Indique o valor da taxa de sucesso (“hit rate”) a partir do qual compensa ter cache.

Nota: Valores arredondados às unidades.

A	B	C	D	E	F
75%	67%	50%	33%	25%	<i>Nenhuma das anteriores</i>

IV. Considere um sistema de memória virtual paginada. O espaço de endereçamento virtual é constituído por 256 páginas, cada uma com 32 palavras. O espaço de endereçamento físico é constituído por 16 páginas.

$\frac{1}{2}$ Val.

(a) Indique o número de bits do campo de deslocamento de um endereço virtual: _____

$\frac{1}{2}$ Val.

(b) Indique o espaço de endereçamento virtual: _____

$\frac{1}{2}$ Val.

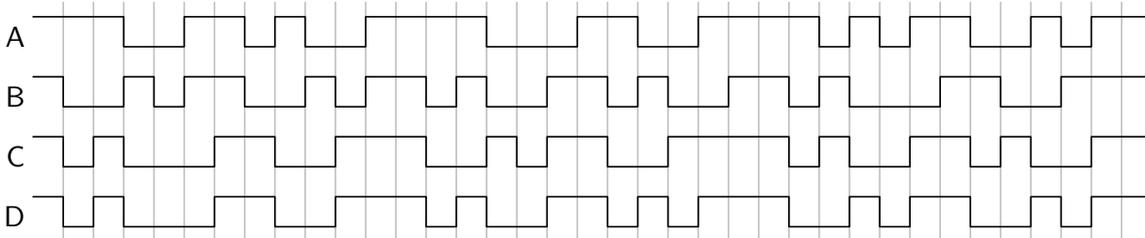
(c) Pretende-se aceder ao endereço virtual 3A2h. Indique, em hexadecimal, o índice da tabela de páginas que será consultado: _____

$\frac{1}{2}$ Val.

(d) No acesso ao endereço virtual 3A2h foi lido da tabela de páginas o valor 6. Indique, em hexadecimal, o endereço físico que será acedido: _____

(Espaço propositadamente em branco, para rascunho)

V. (a) Admita que numa transmissão série assíncrona apenas são transmitidas palavras de entre um conjunto de 4 palavras possíveis, por uma ordem arbitrária: {9Ah,8Ch,59h,31h}.
 A transmissão de cada palavra assume: 1 start-bit, 8 bits de dados, 1 bit de paridade e 2 stop-bits. As palavras são transmitidas começando pelo bit mais significativo.



1/2 Val.

i. Indique qual destas sequências de bits está correcta.
Sugestão: Começe por identificar os start-bits e os bits de paridade de cada sequência.

A	B	C	D	<i>Nenhuma das anteriores</i>
---	---	---	---	-------------------------------

1/2 Val.

ii. Qual é a paridade adoptada?

Par	Ímpar

1/2 Val.

iii. Caso tenha identificado alguma sequência de bits transmitida correctamente, indique (em hexadecimal) a sequência de palavras recebidas pelo receptor _____

1/2 Val.

iv. Assuma que o ritmo de transmissão é de 12000 bps. Nas condições das alíneas anteriores, indique o tempo que demora a enviar um ficheiro constituído por 2000 bytes.

A	B	C	D	E	F
500 ms	1 s	2 s	12 s	24 s	<i>Nenhuma das anteriores</i>

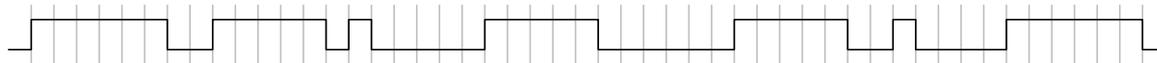
1/2 Val.

v. Qual é a eficiência da transmissão dos dados nas condições especificadas?

A	B	C	D	E	F
100%	80%	75%	67%	50%	<i>Nenhuma das anteriores</i>

1 Val.

(b) Dois sistemas dialogam entre si usando comunicação série síncrona em que a flag delimitadora é constituída pelo padrão 0111 1110 e em que é usada a técnica de *bit stuffing*. Se na linha de comunicação for recebida a sequência de bits indicada a seguir, indique em hexadecimal qual foi a informação útil recebida. Assuma que o bit mais significativo é o primeiro a ser transmitido.



Informação útil recebida: _____ (hexadecimal)

1 Val.

(c) Considere um sistema de memória virtual paginado suportado numa hierarquia de memória constituída por uma cache (SRAM), uma memória primária (DRAM) e um disco rígido. Neste sistema foi adoptada uma dimensão de página igual à dimensão do sector do disco rígido (1024 Bytes). Para efectuar a transferência entre o disco rígido e a memória primária foi considerado um modo de transferência por acesso directo à memória (DMA). Indique, de entre as seguintes alternativas, qual o modo de transferência que melhor se adequa a esta aplicação:

A	B	C	D
Modo de transferência por bloco	Modo de transferência por rajada	Modo de transferência por palavra	<i>Nenhuma das anteriores</i>

1½ Vals.

(d) Indique se as seguintes afirmações são verdadeiras ou falsas.

Tenha em atenção que:

- Cada pergunta certa vale +0,5 valores;
- Cada pergunta errada vale -0,25 valores;
- A cotação mínima da pergunta é 0.

i. Em geral, a programação de uma dada aplicação para um processador RISC (*Reduced Instruction Set Computer*) requer mais instruções do que para um processador CISC (*Complex Instruction Set Computer*).

Verdadeiro

Falso

ii. Numa cache, quanto maior o tamanho do bloco melhor se tira partido da localidade temporal dos programas.

Verdadeiro

Falso

iii. Num sistema virtual paginado com tabela de tradução hierarquica de dois níveis e um nível de cache, um acesso do processador à memória com sucesso na TLB implica um (e um só) acesso à memória primária (DRAM).

Verdadeiro

Falso