Arquitectura de Computadores

Ano Lectivo de 2009/2010 — 2º Semestre

2º Teste — 16 de Junho de 2010 — Duração: 1h30+0h30

- **O teste é sem consulta**, apenas tem disponível o anexo que lhe deverá ter sido entregue com o teste. Por favor, não escreva nesse anexo e devolva-o no final do teste.
- Resolva o teste no próprio enunciado, o espaço reservado para cada pergunta é suficiente para a sua resposta. Tenha em atenção que cada grupo deve ficar em folhas separadas. Utilize as costas das folhas para rascunho.
- Identifique todas as folhas que entregar, **folhas não identificadas não serão cotadas!**
- Responda ao teste com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

I. (1,5 + 2 + 2,5 = 6 val.)

As perguntas deste grupo referem-se todas ao processador P3 e são independentes entre si.

1. Indique quais as micro-operações realizadas pela micro-instrução `955755F8h`.

Operações realizadas (em RTL):

NOTA1: Utilize apenas as posições da tabela que considere necessárias.

NOTA2: Pode usar como rascunho o espaço disponibilizado junto ao rodapé da página.

2. Considere que se pretende que as seguintes micro-operações se realizem num único ciclo de relógio:

   `CAR←WB, M[SP]←SP, R9←0000h, Flags Z`

   Indique na tabela seguinte a codificação de uma micro-instrução que faz com que isso aconteça ou justifique que tal não é possível.

   NOTA: Preencher com 0, 1 ou X para os sinais indiferentes.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	M5			SR1	SR2	IAK	FM			CALU					MA	MB	M2	MRB	RB				WM	WR	MD		MAD	RAD			
1						LS	MCOND		CC	LI	LF	CONST/NA																			

Zona de rascunho para a pergunta 1.1 (será totalmente ignorado durante a correcção)

3. Muitas aplicações de processamento de sinal representam as amostras utilizando apenas 8 bits de resolução (valores positivos, sem bit de sinal). Como consequência, sempre que o processador realiza uma leitura de dados da memória, a palavra lida poderá conter várias amostras do sinal manipulado. No caso particular do P3 (processador de 16 bits), cada palavra lida da memória contem duas amostras, armazenadas no octeto menos significativo (LSB) e no octeto mais significativo (MSB).

   Pretende-se implementar no processador P3 a instrução `ADDACC8 op1,op2` com vista a facilitar o cálculo da soma de todos os elementos de um dado vector de amostras de 8 bits.

   Esta instrução soma ao valor anterior do acumulador (passado em `op1`), o resultado da soma do octeto mais significativo de `op2` com o octeto menos significativo de `op2`:

$$\texttt{op1} = \texttt{op1} + [LSB(\texttt{op2}) + MSB(\texttt{op2})] \quad (1)$$

   Para além de retornar o resultado da soma, esta instrução deverá ainda actualizar as flags **Z**, **N** e **O**, de acordo com o valor retornado em `op1`. Ilustra-se, no programa ao lado, uma possível invocação da operação `ADDACC8`, bem como do valor resultante da respectiva execução.

```
        ...
Data    STR 0204h, 0103h, ...
        ...
MOV     R1, R0
MOV     R2, Data
        ...
ADDACC8 R1, M[R2]  ; R1 = 00h + 02h+04h = 06h
INC     R2
ADDACC8 R1, M[R2]  ; R1 = 06h + 01h+03h = 0Ah
        ...
```

   Preencha a tabela com o micro-programa correspondente à fase de execução da instrução `ADDACC8`. Deverá utilizar exclusivamente as micro-instruções disponibilizadas na tabela abaixo. Apenas deverá indicar na folha de resposta o número de cada uma das micro-instruções utilizadas.

ADDACC8_0:	
ADDACC8_1:	R8<-0FFh
ADDACC8_2:	
ADDACC8_3:	R9<-008h
ADDACC8_4:	
ADDACC8_5:	
ADDACC8_6:	!z?CAR<-ADDACC8_4
ADDACC8_7:	
ADDACC8_8:	
ADDACC8_9:	

NOTA: Nas posições livres indique o número da micro-instrução (de acordo com a lista abaixo).

Nº	Micro-Instrução
1	CAR<-CAR+1
2	CAR<-IF0
3	CAR<-IF1
4	CAR<-F1
5	CAR<-F2
6	SBR<-CAR+1, CAR<-F1
7	SBR<-CAR+1, CAR<-F2
8	SBR<-CAR+1, CAR<-WB
9	CAR<-IH0
10	CAR<-WB
11	RD<-shl RD
12	RD<-shla RD
13	RD<-shl RD, Flags ZNO
14	RD<-shla RD, Flags ZNO
15	RD<-shr RD
16	RD<-shra RD
17	RD<-shr RD, Flags ZNO
18	RD<-shra RD, Flags ZNO

Nº	Micro-Instrução
19	RD<-rol RD
20	RD<-ror RD
21	SD<-shl SD
22	SD<-shla SD
23	SD<-shl SD, Flags ZNO
24	SD<-shla SD, Flags ZNO
25	SD<-shr SD
26	SD<-shra SD
27	SD<-shr SD, Flags ZNO
28	SD<-shra SD, Flags ZNO
29	SD<-rol SD
30	SD<-ror SD
31	R8<-R8 ∨ SD
32	R8<-R8 ∧ SD
33	R8<-R8 ∨ RD
34	R8<-R8 ∧ RD
35	R9<-R9 ∨ SD
36	R9<-R9 ∧ SD

Nº	Micro-Instrução
37	R9<-R9 ∨ RD
38	R9<-R9 ∧ RD
39	R8<-R8 + 1
40	R8<-R8 + 1, Flags ZNO
41	R8<-R8 - 1
42	R8<-R8 - 1, Flags ZNO
43	R9<-R9 + 1
44	R9<-R9 + 1, Flags ZNO
45	R9<-R9 - 1
46	R9<-R9 - 1, Flags ZNO
47	SD<-SD+R8
48	SD<-SD+R8, Flags ZNO
49	SD<-SD+R9
50	SD<-SD+R9, Flags ZNO
51	RD<-RD+SD
52	RD<-RD+SD, Flags ZNO
53	RD<-RD+R9
54	RD<-RD+R9, Flags ZNO

II. (2,5$_{0,5+0,5+0,5+1}$ + 3,5$_{1,5+1+1}$ + 2$_{0,5+0,5+0,5+0,5}$ = 8 val.)

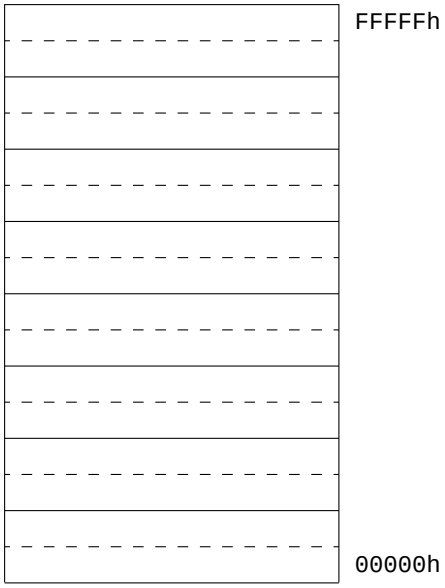
1. Considere um sistema com um processador que possui 20 linhas de endereço – de $A19$ (maior peso) a $A0$ (menor peso) – e 8 linhas de dados. Neste sistema existem duas memórias que possuem as seguintes funções de selecção:

   Mem1 = $\overline{A19}.\overline{A18}.A17$

   Mem2 = $A19.\overline{A18}$

   a) Indique a capacidade das memórias. Mem1: _____ Mem2: _____

   b) A figura seguinte representa o mapa de memória do sistema. Assinale nessa figura a localização das duas memórias.



   c) Indique, em hexadecimal, o último endereço ocupado pela Mem1: _____

   d) Pretende-se adicionar uma terceira memória ao sistema (Mem3) que deverá ocupar um espaço de endereçamento de 128k palavras imediatamente antes de `80000h`.

   Indique a função de selecção dessa memória. Mem3 = _____

2. O troço de programa seguinte é executado num sistema com o processador P3 com uma cache de dados com 1k palavras, 1 via de associatividade, blocos de 2 palavras e política *write-back*.

```
1     SIZE   EQU    1000h
2            ORIG   8000h
3     A      TAB    SIZE
4     W      WORD   0
5     X      WORD   0
6     Y      WORD   0
7     Z      WORD   0
8     B      TAB    SIZE
9            ORIG   0000h
10           MOV    R2, R0
11    Loop:  MOV    R1, M[R2+A]
12           ADD    M[R2+B], R1
13           INC    R2
14           CMP    R2, SIZE
15           BR.NZ  Loop
```

a) Qual é a taxa de sucesso na cache de dados ao executar este programa? (não se esqueça que a instrução ADD gera 2 acessos a dados, um na leitura dos operandos, outro na escrita do resultado)

A: 25%	B: 50%	C: 67%	D: 75%	E: 83%	F: Nenhuma das anteriores.

b) Sugira uma, e uma só, alteração à estrutura da cache, sem alterar a sua capacidade, que melhore o desempenho ao executar este programa.

Capacidade = 1k palavras.

Dimensão do bloco = _____ palavras.

Vias de associatividade = _____

c) Admita que o desempenho do processador ao executar uma determinada aplicação é determinado pelo tempo de acesso à memória. Calcule o desempenho de um sistema com cache em relação a um sistema sem cache, assumindo que:

- a taxa de sucesso na cache é 90%.
- o tempo de acesso à cache é 60ns.
- o tempo de acesso à memória primária é 200ns. Só é lançado um acesso à memória após verificação da cache.

A: 0,4	B: 0,75	C: 1	D: 2,5	E: 3	F: Nenhuma das anteriores.

3. O processador P3V é um processador P3 mas com memóra virtual paginada com 64k palavras, linhas de endereço A15-A0. As páginas têm 256 palavras.

a) Indique a estrutura do endereço virtual.

Ax - Ay	Nome do campo

b) Indique a estrutura da tabela de páginas num sistema com 8k palavras de memória primária instalada.

Número de entradas = _____

Dimensão da entrada = _____ octetos (não considere os bis de controlo)

c) Qual é o número mínimo de páginas que devem estar carregadas na memória física para executar o programa da pergunta anterior (pergunta II.2) sem faltas de página?

A: 1	B: 3	C: 16	D: 17	E: 33	F: Nenhuma das anteriores.

d) Qual é o número mínimo de páginas que devem estar carregadas em memória física para executar o mesmo programa, mas admitindo agora a ocorrência de faltas de página com pouca frequência? (pouca frequência $\approx$1 falta de página entre vários acessos a memória)

A: 1	B: 3	C: 16	D: 17	E: 33	F: Nenhuma das anteriores.

III. (1 + 1 + 1,5 + 1,5 + 1 = 6 val.)

1. Considere uma transmissão de informação por comunicação série assíncrona que envia 7 bits de cada vez, usa 1 *stop* bit e paridade par.

    a) Indique a sequência transmitida pelo emissor para enviar o par de octetos 7Fh e 00h, por esta ordem.

1																													

    b) Assumindo que o período para o envio de um bit é de 50μs, calcule qual é a taxa máxima de envio de informação útil medida em octetos por segundo.

2. Numa transferência paralela assíncrona, qual dos protocolos, por impulso ou *handshake*, permite uma velocidade mais rápida de transmissão? Discuta.

3. Indique, justificando, qual é a principal vantagem e qual é a principal desvantagem de se usar uma cache *write-back* num sistema com DMA.

4. Qual é o potencial problema de se usar DMA com dispositivos lentos? Explique de que forma se resolve o problema.