



Arquitectura de Computadores

Ano Lectivo de 2008/2009

2º Semestre

Repescagem do 2º Teste 30 de Junho de 2009 Duração: 1h30+0h30

- **O teste é sem consulta**, apenas tem disponível o anexo que lhe deverá ter sido entregue com o teste. Por favor, não escreva nesse anexo e devolva-o no final do teste.
- Resolva o teste no próprio enunciado, o espaço reservado para cada pergunta é suficiente para a sua resposta. Tenha em atenção que cada grupo deve ficar em folhas separadas. Utilize as costas das folhas para rascunho.
- Identifique todas as folhas que entregar, **folhas não identificadas não serão cotadas!**
- Responda ao teste com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

I. (2 + 2 + 2,5 = 6,5 val.)

As perguntas deste grupo referem-se todas ao processador P3 e são independentes entre si.

1. Indique quais as micro-operações realizadas pela micro-instrução 712E7398h.

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
0		M5		SRI	SR2	IAK	FM		CALU				MA	MB	M2	MRB	RB		WM		WR		MD		MAD	RAD											
1					LS	MCOND	CC	LI	LF	CONST/NA																											

Operações realizadas (em RTL):

NOTAS:

- a resposta é para ser dada na tabela à esquerda; utilize apenas as posições que considere necessárias
- a tabela em cima pode ser usada como rascunho

2. Considere que se pretende que as seguintes micro-operações se realizem num único ciclo de relógio:

$$CAR \leftarrow 1BCh, \quad SBR \leftarrow CAR+1, \quad RE \leftarrow R9, \quad R9 \leftarrow M[R9]$$

Indique na tabela seguinte a codificação de uma micro-instrução que faz com que isso aconteça ou justifique que tal não é possível.

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
0		M5		SRI	SR2	IAK	FM		CALU				MA	MB	M2	MRB	RB		WM		WR		MD		MAD	RAD											
1					LS	MCOND	CC	LI	LF	CONST/NA																											

NOTA: Preencher com 0, 1 ou X para os sinais indiferentes.

3. Pretende-se implementar no processador P3 a instrução `PARITY op1`. Esta instrução determina a paridade de um dado operando, dado por `op1`, retornando o número de bits a '1' deste mesmo operando.

De acordo com o valor retornado, deverá ainda actualizar as flags Z e N.

A flag C deverá também ser actualizada de forma a reflectir a paridade do operando processado: $C=0$ se o número de bits a '1' for par e $C=1$ caso contrário.

Preencha a tabela com o micro-programa correspondente à fase de execução da instrução `PARITY`. Deverá utilizar exclusivamente as micro-instruções disponibilizadas na tabela abaixo, podendo utilizar cada uma delas mais do que uma vez. Apenas deverá indicar na folha de resposta o número de cada uma das micro-instruções utilizadas.

PARITY_0:	
PARITY_1:	$R9 \leftarrow R0+R0, \text{Flags } Z,N$
PARITY_2:	
PARITY_3:	$!c?CAR \leftarrow PARITY_5$
PARITY_4:	
PARITY_5:	
PARITY_6:	$!z?CAR \leftarrow PARITY_2$
PARITY_7:	
PARITY_8:	

NOTA: Nas posições livres indique o número da micro-instrução (de acordo com a lista abaixo).

#	Micro-Instrução
1	$CAR \leftarrow CAR+1$
2	$CAR \leftarrow IF0$
3	$CAR \leftarrow IF1$
4	$CAR \leftarrow F1$
5	$CAR \leftarrow F2$
6	$SBR \leftarrow CAR+1, CAR \leftarrow F1$
7	$SBR \leftarrow CAR+1, CAR \leftarrow F2$
8	$SBR \leftarrow CAR+1, CAR \leftarrow WB$
9	$CAR \leftarrow IH0$
10	$CAR \leftarrow WB$
11	$R8 \leftarrow R8+R0$
12	$R8 \leftarrow R8+R0, \text{Flags } Z$
13	$R8 \leftarrow R8+1$
14	$R8 \leftarrow R8-1$
15	$R8 \leftarrow R8+1, \text{Flags } Z,N$
16	$R8 \leftarrow R8-1, \text{Flags } Z,N$
17	$R9 \leftarrow R9+R0$
18	$R9 \leftarrow R9+R0, \text{Flags } Z$

#	Micro-Instrução
19	$R9 \leftarrow R9+1$
20	$R9 \leftarrow R9-1$
21	$R9 \leftarrow R9+1, \text{Flags } Z,N$
22	$R9 \leftarrow R9-1, \text{Flags } Z,N$
23	$SD \leftarrow SD+R0$
24	$SD \leftarrow SD+R0, \text{Flags } Z$
25	$SD \leftarrow SD+1$
26	$SD \leftarrow SD-1$
27	$SD \leftarrow SD+1, \text{Flags } Z,N$
28	$SD \leftarrow SD-1, \text{Flags } Z,N$
29	$RD \leftarrow RD+R0$
30	$RD \leftarrow RD+R0, \text{Flags } Z$
31	$RD \leftarrow RD+1$
32	$RD \leftarrow RD-1$
33	$RD \leftarrow RD+1, \text{Flags } Z,N$
34	$RD \leftarrow RD-1, \text{Flags } Z,N$
35	$shr R8$
36	$shr R8, \text{Flags } C$

#	Micro-Instrução
37	$R8 \leftarrow shr R8$
38	$R8 \leftarrow shr R8, \text{Flags } C$
39	$R8 \leftarrow ror R8, \text{Flags } C$
40	$shr R9$
41	$shr R9, \text{Flags } C$
42	$R9 \leftarrow shr R9$
43	$R9 \leftarrow shr R9, \text{Flags } C$
44	$R9 \leftarrow ror R9, \text{Flags } C$
45	$shr SD$
46	$shr SD, \text{Flags } C$
47	$SD \leftarrow shr SD$
48	$SD \leftarrow shr SD, \text{Flags } C$
49	$SD \leftarrow ror SD, \text{Flags } C$
50	$shr RD$
51	$shr RD, \text{Flags } C$
52	$RD \leftarrow shr RD$
53	$RD \leftarrow shr RD, \text{Flags } C$
54	$RD \leftarrow ror RD, \text{Flags } C$

II. (2,5_{1,25+0,25+1} + 4_{0,5+1,5+1+1} + 2_{0,4+0,4+0,4+0,4+0,4} = 8,5 val.)

1. Considere um sistema com um processador de 16 bits com 20 linhas de endereço - de A19 (maior peso) a A0 (menor peso). Neste sistema existem duas zonas de memória e uma zona para entradas/saídas (E/S):

- RAM M1 - Possui 512k palavras e ocupa a gama de endereços mais baixos.
- ROM M2 - Possui 256k palavras e ocupa a gama de endereços com início em C0000h.
- E/S M3 - Ocupa 32k palavras imediatamente abaixo da ROM M2.

a) Indique quais as funções de descodificação destas memórias, MS - *Memory Select* (circule a letra correcta em cada).

RAM M1	ROM M2	E/S M3
A: MS1 = A19	A: MS2 = $\overline{A19.A18}$	A: MS3 = A19.A18. $\overline{A17.A16}$
B: MS1 = A0	B: MS2 = A19.A18	B: MS3 = A19.A18.A17.A16
C: MS1 = $\overline{A19.A18}$	C: MS2 = $\overline{A19.A18}$	C: MS3 = A19. $\overline{A18.A17.A16}$
D: MS1 = $\overline{A0}$	D: MS2 = $\overline{A0.A1}$	D: MS3 = $\overline{A0.A1.A2.A3}$
E: MS1 = $\overline{A19}$	E: MS2 = A19. $\overline{A18}$	E: MS3 = A19. $\overline{A18.A17.A16.A15}$
F: Nenhuma destas	F: Nenhuma destas	F: Nenhuma destas

b) Indique a dimensão do espaço de endereçamento que está livre: _____

c) Indique, no contexto de um sistema baseado no processador P3, se as seguintes afirmações são verdadeiras ou falsas.

A: O P3 pode endereçar no máximo 64 k palavras de memória	
B: É possível colocar uma rotina de tratamento de interrupção no endereço 8000h	
C: As memórias RAM servem apenas para guardar dados e não podem conter código	
D: As memórias ROM permitem guardar código (instruções) e a pilha	

2. Considere um processador como o P3, com um espaço de endereçamento de 64k palavras e uma cache de mapeamento directo com capacidade de 1k palavras e blocos de 4 palavras. Na cache é usada uma política *write-back* com *write-allocate*.

a) Indique a largura em número de bits dos campos de etiqueta, índice e deslocamento da cache.

Etiqueta: _____ Índice: _____ Deslocamento: _____

b) Considere que se executa o seguinte programa.

```

SIZE      EQU      0200h

          ORIG     8000h
A        TAB      SIZE
B        TAB      SIZE
C        TAB      SIZE

          ORIG     0000h
Loop:    MOV      R1, R0
          MOV      R2, M[R1+A]
          ADD      R2, M[R1+B]
          MOV      M[R1+C], R2
          INC      R1
          CMP      R1, SIZE
          BR.NZ   Loop
    
```

Considere que a cache descrita acima é apenas usada para **dados** e que se executa o programa da alínea anterior. Indique qual é a taxa de sucesso (*hit rate*) na cache de dados.

A: 0%	B: 25%	C: 33%	D: 50%	E: 75%	F: Nenhuma destas
-------	--------	--------	--------	--------	-------------------

c) Analise o impacto da dimensão *SIZE* dos vectores A e B na taxa de sucesso na cache de dados e indique um valor de *SIZE* que permitiria melhorar esta taxa de sucesso.

A: 1000h	B: 800h	C: 300h	D: 100h	E: <i>SIZE</i> não afecta esta taxa	F: Nenhuma destas
----------	---------	---------	---------	-------------------------------------	-------------------

d) Considere um sistema que possui memória primária e cache. O tempo de acesso à memória primária é de 150ns e o tempo de acesso à cache é de 30ns. Se a taxa de sucesso for de 90% indique o tempo médio para um acesso de leitura.

A: 13,5ns	B: 42ns	C: 45ns	D: 80ns	E: 135ns	F: Nenhuma destas
-----------	---------	---------	---------	----------	-------------------

3. Considere um sistema de memória virtual paginada. O espaço de endereçamento virtual é constituído por 64 páginas, cada uma com 16 palavras. O espaço de endereçamento físico é constituído por 8 páginas.

a) Indique o número de bits do campo de deslocamento de um endereço virtual: _____

b) Indique o espaço de endereçamento virtual: _____

c) Pretende-se aceder ao endereço virtual 238h.

Indique, em hexadecimal, o índice da tabela de páginas que será consultado: _____

d) Indique o número de bits guardados em cada entrada da tabela de páginas: _____
(sem contabilizar os bits de controlo)

e) No acesso ao endereço virtual 238h foi lido da tabela de páginas o valor 3.

Indique, em hexadecimal, o endereço físico que será acedido: _____

3. Num sistema com DMA, indique principal dificuldade causada pela existência de uma cache no sistema.

4. Indique a vantagem principal e a maior limitação de um processador utilizar linhas de interrupção independentes, uma para cada periférico.