

# Arquitetura de Computadores

2006/2007 2º Semestre

2º Teste (B) - 15/06/2007

Número: \_\_\_\_\_ Nome: \_\_\_\_\_

**INSTRUÇÕES:**

- A duração da prova é de 2 horas.
- Responda apenas nesta “Folha de Respostas”; nada mais será recebido.
- Identifique esta folha com o seu número e nome de forma bem legível.
- A cotação das perguntas está indicada entre parênteses à direita do texto.
- Nas perguntas Verdade/Falso ou de escolha múltipla as respostas erradas descontam.

## Folha de Respostas

### Grupo I

**1.1 (Cotação: 2 valores)**

<b>Operações realizadas (em RTL):</b>
$SBR \leftarrow CAR+1, CAR \leftarrow F2$
$RE \leftarrow EA$
$EA \leftarrow RE$

Nota: Utilize apenas as posições da tabela que considere necessárias

**1.2 (Cotação: 2 valores)**

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
0	M5				S R 1	S R 2	I A K	FM				CALU				M A	M B	M 2	M R B	RB				W M	W R	MD		M A D	RAD												
1					L S	MCOND				C C	L I	L F	CONST/NA																												
	0	1	1	1	0	0	1	0	1	0	0	0	1	0	0	0	0	X	1	1	1	0	1	1	1	1	0	0	1	1	1	1	0								

Nota: Preencher com 0, 1 ou X

**1.3 (Cotação: 3 valores)**

RORN0 :	8
RORN1 :	26
RORN2 :	28
RORN3 :	$z ? CAR \leftarrow -RORN7$
RORN4 :	42
RORN5 :	32
RORN6 :	$! z ? CAR \leftarrow -RORN4$
RORN7 :	9

Nota: Nas posições livres indique o número da instrução (de acordo com a tabela do enunciado)

**Grupo II**

Questão	Cotação	Resposta	
2.1 a)	1	D	(A-F)
2.1 b)	0,5	B	(A-F)
2.1 c)	0,5	A	(A-E)
2.2 a)	0,5	Numa cache de mapeamento directo não há política de substituição.	
2.2 b)	1	E	(A-F)
2.2 c)	1	D	(A-F)
2.2 d)	0,5	E	(A-F)
2.2 e)	0,5	C	(A-F)
2.2 f)	1,5	D	(A-F)

**Grupo III**

Questão	Cotação	Resposta	
3.1	1,5	C	(A-E)
3.2	1,5	B	(A-F)
3.3	1	B	(A-E)

3.4 A	0,25	V	V / F
3.4 B	0,25	F	V / F
3.4 C	0,25	V	V / F
3.4 D	0,25	F	V / F

3.5 A	0,2	N	S / N
3.5 B	0,2	N	S / N
3.5 C	0,2	N	S / N
3.5 D	0,2	S	S / N
3.5 E	0,2	N	S / N

---

**Nota:** Valor do desconto em caso de resposta errada:

- Perguntas de escolha múltipla:  $C / (N-1)$  (C=Cotação; N=Número de alternativas)
- Perguntas Verdade/Falso:  $C / 2$  (C=Cotação)

## I

As perguntas deste grupo referem-se todas ao processador P3 e são independentes entre si.

1.1 Indique na folha de respostas, usando linguagem de transferência de registos (RTL), quais as micro-operações realizadas pela micro-instrução **FF1BC2DC** h. (2)

1.2 Considere que se pretende que as seguintes micro-operações se realizem num único ciclo de relógio:

$$\text{CAR} \leftarrow \text{WB}, \text{M}[\text{SP}] \leftarrow \text{RD}, \text{SP} \leftarrow \text{SP}-1, \text{flags ZN}$$

Indique na folha de respostas a codificação de uma micro-instrução que faz com que isso aconteça ou justifique que tal não é possível. (2)

NOTA: Na folha de respostas represente os sinais indiferentes com o símbolo 'X'.

1.3 As instruções de deslocamento do P3 não permitem efectuar um número variável de deslocamentos lógicos, pois o número de deslocamentos a efectuar é fixado por um parâmetro da instrução que não pode variar aquando da execução do programa, sendo definido pelo valor do campo *#posições* da codificação da instrução. Exemplo: `SHL R1, 3` (parâmetro *#posições* = 3)

Pretende-se implementar no processador P3 a instrução `RORN op1, op2` que efectua um número de rotações à direita dos bits do operando `op1` definido pelo valor do operando `op2`. Independentemente do valor de `op2`, o número máximo de deslocamentos deverá ser 15 (apenas são considerados os 4 bits menos significativos). A nova instrução deve actualizar as flags Z, C e N.

Exemplo: considerando `R1=3` e `M[Data]=6596h=0110010110010110b`, o resultado da execução da instrução `RORN M[Data], R1` deverá ser:

$$R1=3 ; \text{M}[\text{Data}]=\text{CCB2h}=1100110010110010b.$$

Preencha a tabela na folha de respostas com o micro-programa correspondente à fase de execução da instrução `RORN`. Deverá utilizar exclusivamente as micro-instruções disponibilizadas na tabela seguinte. Apenas deverá indicar na folha de resposta o número de cada uma das micro-instruções utilizadas. (3)

(tabela na próxima página)

Nº	Micro-Instrução
1	CAR←-CAR+1
2	CAR←-SBR
3	CAR←-IF0
4	CAR←-IF1
5	CAR←-F1
6	CAR←-F2
7	SBR←-CAR+1, CAR←-F1
8	SBR←-CAR+1, CAR←-F2
9	CAR←-WB
10	CAR←-IH0
11	PC←-PC+1
12	EA←-EA and SD
13	EA←-001h
14	EA←-00Fh
15	EA←-015h
16	EA←-EA and SD, FLAGS Z
17	EA←-EA or SD

Nº	Micro-Instrução
18	EA←-EA or SD, FLAGS Z
19	EA←-EA-1
20	EA←-EA-1, FLAGS Z
21	EA←-EA+1
22	EA←-EA+1, FLAGS Z
23	EA←-ror EA
24	EA←-ror EA, FLAGS ZCN
25	R8←-001h
26	R8←-00Fh
27	R8←-015h
28	R8←-R8 and SD
29	R8←-R8 and SD, FLAGS Z
30	R8←-R8 or SD
31	R8←-R8 or SD, FLAGS Z
32	R8←-R8-1
33	R8←-R8-1, FLAGS Z
34	R8←-R8+1

Nº	Micro-Instrução
35	R8←-R8+1, FLAGS Z
36	RD←-R0
37	RD←-RD-1
38	RD←-RD-1, FLAGS Z
39	RD←-RD+1
40	RD←-RD+1, FLAGS Z
41	RD←-ror RD
42	RD←-ror RD, FLAGS ZCN
43	SD←-001h
44	SD←-00Fh
45	SD←-015h
46	SD←-ror SD
47	SD←-ror SD, FLAGS ZCN
48	SD←-SD-1
49	SD←-SD-1, FLAGS Z
50	SD←-SD+1
51	SD←-SD+1, FLAGS Z

## II

2.1 Considere um sistema com um processador de 16 bits com 20 linhas de endereço – de A19 (maior peso) a A0 (menor peso). Neste sistema existem 3 circuitos de memória:

- ROM M1 – Possui 256 k palavras e ocupa a gama de endereços mais elevados.
- RAM M2 – Possui 128k palavras e ocupa a gama de endereços mais baixos.
- RAM M3 – Idêntica e contígua à M2.

a) Indique na folha de respostas quais as funções de descodificação destas memórias. (1)

(Notas: MS – memory select ; -X = not X )

A: MS1 = A1.A0 ; MS2 = -A2.-A1.-A0 ; MS3 = -A2.-A1.A0
B: MS1 = -A19.-A18 ; MS2 = A19.A18.-A17 ; MS3 = A19.A18.A17
C: MS1 = A19.A18 ; MS2 = -A19.-A18.A17 ; MS3 = -A19.-A18.-A17
D: MS1 = A19.A18 ; MS2 = -A19.-A18.-A17 ; MS3 = -A19.-A18.A17
E: MS1 = A19.A18 ; MS2 = -A19.-A18 ; MS3 = -A19.A18
F: Nenhuma das funções anteriores está correcta.

b) Indique a dimensão do espaço de endereçamento não ocupado pelas memórias. (0,5)

A: 1 M palavras.	B: 512 k palavras.	C: 500 k palavras.	D: 256 k palavras.	E: 128 k palavras.	F: Nenhuma das opções anteriores.
---------------------	-----------------------	-----------------------	-----------------------	-----------------------	--------------------------------------

c) Qual das seguintes afirmações relativas a este sistema está correcta? **(0,5)**

- A: O código de base está armazenado persistentemente na memória M1. M2 e M3 podem armazenar dados e carregar também partes do código.
- B: O código de base e as variáveis do sistema estão armazenados na memória M1. M2 e M3 podem armazenar dados e carregar parte de código.
- C: O código está armazenado persistentemente na memória M1. As memórias M2 e M3 só podem armazenar dados globais e a pilha.
- D: O código e as variáveis globais estão armazenados na memória M1. As variáveis locais da rotinas e a pilha são armazenadas em M2 e M3.
- E: Nenhuma das afirmações anteriores está correcta.

2.2 Considere um processador como o P3, com um espaço de endereçamento de 64k palavras de 16 bits e uma cache de mapeamento directo só para dados, com capacidade de 2k palavras e blocos de 4 palavras. Existe uma cache separada e idêntica para o código. Considere a cache inicialmente vazia. Neste sistema executa-se o seguinte programa.

```

SIZE EQU 1000h
      ORIG 8000h
A     TAB SIZE
B     TAB SIZE
C     TAB SIZE

      ORIG 0000h
      MOV R4, SIZE
      DEC R4
Loop: MOV R3, M[R4+B]
      ADD R3, M[R4+C]
      SHR R3, 1
      MOV M[R4+A], R3
      DEC R4
      BR.NN Loop

```

a) Indique na folha de resposta qual é a política de substituição desta cache. **(0,5)**

b) Indique na folha de resposta qual é o *hit rate* na cache de dados ao executar este programa. **(1)**

A: 67%	B: 50%	C: 33%	D: 25%	E: 0%	F: Nenhuma das opções anteriores.
--------	--------	--------	--------	-------	-----------------------------------

c) Indique a partir de que grau de associatividade se maximizava o *hit rate* na cache de dados, mantendo as restantes características da cache. **(1)**

A: O <i>hit rate</i> não varia com estes níveis de associatividade.	B: 1 vias.	C: 2 vias.	D: 4 vias.	E: 8 vias.	F: Nenhuma das opções anteriores.
---	------------	------------	------------	------------	-----------------------------------

d) Indique como variava o *miss rate* global se o sistema possuísse uma única cache para código e dados com a mesma organização mas com 4k palavras de capacidade. **(0,5)**

- A: O *miss rate* global aumentava ligeiramente.
- B: O *miss rate* global diminuía ligeiramente.
- C: O *miss rate* global quase não variava.
- D: O *miss rate* global aumentava significativamente.
- E: O *miss rate* global diminuía significativamente.
- F: Nenhuma das afirmações anteriores está correcta.

e) Que características deve ter a cache que armazena o código? **(0,5)**

- A: Deve ter dimensão superior à da cache de dados para atingir o mesmo nível de *hit rate*.
- B: Os blocos da cache devem ter a dimensão da página de memória virtual.
- C: Deve ter um número de vias de associatividade e dimensão do bloco que maximizem o *hit rate*.
- D: Deve ter uma política de substituição *aleatória*. A política LRU aplica-se mais a caches de dados.
- E: Deve ter uma política de escrita *write-back*.
- F: Nenhuma das afirmações anteriores está correcta.

f) Num sistema sem cache o tempo de acesso à memória é 250 ns. Para que valor de *hit rate* na cache é vantajosa a inclusão de uma cache entre o processador e a memória, sabendo que o tempo de acesso à cache é 50 ns e só é lançado o acesso à memória após o teste do *hit/miss* na cache. **(1,5)**

- A: Hit rate > 50%
- B: Hit rate > 40%
- C: Hit rate > 30%
- D: Hit rate > 20%
- E: É sempre vantajoso incluir cache.
- F: Nenhuma das opções anteriores está correcta.

(continua)



3.4 Indique na folha de respostas se as seguintes afirmações são verdadeiras (**V**) ou falsas (**F**).

- A - Os PICS oferecem a capacidade de mascarar interrupções. **(1)**
- B - Um sistema que possua um processador só com uma entrada de interrupção só pode tratar um periférico por interrupção e os demais por polling.
- C - Os PICs indicam ao processador qual o periférico que solicitou a interrupção usando o bus de dados.
- D - Num sistema que use interrupções vectorizadas existe apenas uma rotina de interrupção que, em função do vector de interrupção, salta para o código específico do periférico.

3.5 Equaciona-se equipar um sistema com um controlador DMA. Para cada uma dos periféricos abaixo, assinale na folha de respostas os que justificam o uso de DMA (responda **S**) e os que não justificam o seu uso (responda **N**). **(1)**

- A - Memória Cache
- B - Teclado
- C - Rato
- D - Disco rígido
- E - Modem de 1200 bps