# Arquitectura de Computadores
**2006/2007 2º Semestre**
**2º Teste (A)** - 15/06/2007

Número: _____ Nome: _____

**INSTRUÇÕES:**
**- A duração da prova é de 2 horas.**
**- Responda apenas nesta "Folha de Respostas"; nada mais será recebido.**
**- Identifique esta folha com o seu número e nome de forma bem legível.**
**- A cotação das perguntas está indicada entre parênteses à direita do texto.**
**- Nas perguntas Verdade/Falso ou de escolha múltipla as respostas erradas descontam.**

## Folha de Respostas

### Grupo I

#### 1.1 (Cotação: 2 valores)

| **Operações realizadas (em RTL):** |
|---|
| CAR ← WB |
| IAK ← 0 *(resposta opcional)* |
| SHLA EA, flag C |
| M[EA] ← EA |
| |

Nota: Utilize apenas as posições da tabela que considere necessárias

#### 1.2 (Cotação: 2 valores)

| 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 0 | M5 | | SR1 | SR2 | IAK | FM | | | | CALU | | | | | MA | MB | M2 | MRB | RB | | | | WM | WR | MD | | MAD | RAD | | | |
| 1 | | | | | LS | MCOND | | | CC | LI | LF | CONST/NA | | | | | | | | | | | | | | | | | | | |
| 1 | 0 | 0 | X | X | 1 | 0 | 1 | 0 | 1 | 0 | 0 | X | X | X | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 |

Nota: Preencher com 0, 1 ou X

#### 1.3 (Cotação: 3 valores)

| | |
|---|---|
| SHRN0: | 10 |
| SHRN1: | 37 |
| SHRN2: | 35 |
| SHRN3: | z?CAR<-SHRN7 |
| SHRN4: | 21 |
| SHRN5: | 31 |
| SHRN6: | !z?CAR<-SHRN4 |
| SHRN7: | 4 |

Nota: Nas posições livres indique o número da instrução (de acordo com a tabela do enunciado)

## Grupo II

| Questão | Cotação | Resposta | |
|---|---|---|---|
| 2.1 a) | 1 | A | (A-F) |
| 2.1 b) | 0,5 | D | (A-F) |
| 2.1 c) | 0,5 | B | (A-E) |
| 2.2 a) | 0,5 | Numa cache de mapeamento directo não há política de substituição. | |
| 2.2 b) | 1 | A | (A-F) |
| 2.2 c) | 1 | B | (A-F) |
| 2.2 d) | 0,5 | C | (A-F) |
| 2.2 e) | 0,5 | E | (A-F) |
| 2.2 f) | 1,5 | C | (A-F) |

## Grupo III

| Questão | Cotação | Resposta | |
|---|---|---|---|
| 3.1 | 1,5 | B | (A-E) |
| 3.2 | 1,5 | D | (A-F) |
| 3.3 | 1 | A | (A-E) |

| | | | |
|---|---|---|---|
| 3.4 A | 0,25 | V | V / F |
| 3.4 B | 0,25 | V | V / F |
| 3.4 C | 0,25 | F | V / F |
| 3.4 D | 0,25 | F | V / F |

| | | | |
|---|---|---|---|
| 3.5 A | 0,2 | N | S / N |
| 3.5 B | 0,2 | N | S / N |
| 3.5 C | 0,2 | S | S / N |
| 3.5 D | 0,2 | N | S / N |
| 3.5 E | 0,2 | N | S / N |

---

**Nota:** Valor do desconto em caso de resposta errada:

- Perguntas de escolha múltipla: C / (N-1) (C=Cotação; N=Número de alternativas)
- Perguntas Verdade/Falso: C / 2 (C=Cotação)

# I

As perguntas deste grupo referem-se todas ao processador P3 e são independentes entre si.

1.1 Indique na folha de respostas, usando linguagem de transferência de registos (RTL), quais as micro-operações realizadas pela micro-instrução **7127791D** h. **(2)**

1.2 Considere que se pretende que as seguintes micro-operações se realizem num único ciclo de relógio:

!c ? CAR ← *MROT*, SBR ← CAR+1, SD ← M[SD]

Assumindo que a micro-rotina *MROT* se encontra codificada a partir do endereço 160h, indique na folha de respostas a codificação de uma micro-instrução que faz com que isso aconteça ou justifique que tal não é possível. **(2)**

NOTA: Na folha de respostas represente os sinais indiferentes com o símbolo 'X'.

1.3 As instruções de deslocamento do P3 não permitem efectuar um número variável de deslocamentos lógicos, pois o número de deslocamentos a efectuar é fixado por um parâmetro da instrução que não pode variar aquando da execução do programa, sendo definido pelo valor do campo *#posições* da codificação da instrução. Exemplo: `SHL R1, 3` (parâmetro *#posições* = 3)

Pretende-se implementar no processador P3 a instrução `SHRN op1,op2` que efectua um número de deslocamentos à direita dos bits do operando `op1` definido pelo valor do operando `op2`. Independentemente do valor de `op2`, o número máximo de deslocamentos deverá ser 15 (apenas são considerados os 4 bits menos significativos). A nova instrução deve actualizar as flags Z, C e N.

Exemplo: considerando `R1=3` e `M[Data]=6596h=0110010110010110b`, o resultado da execução da instrução `SHRN M[Data],R1` deverá ser:

`R1=3 ; M[Data]=0CB2h=0000110010110010b`.

Preencha a tabela na folha de respostas com o micro-programa correspondente à fase de execução da instrução `SHRN`. Deverá utilizar exclusivamente as micro-instruções disponibilizadas na tabela seguinte. Apenas deverá indicar na folha de resposta o número de cada uma das micro-instruções utilizadas.

**(3)**

(tabela na próxima página)

| Nº | Micro-Instrução |
|---|---|
| 1 | CAR<-IF0 |
| 2 | CAR<-IF1 |
| 3 | CAR<-IH0 |
| 4 | CAR<-WB |
| 5 | CAR<-F1 |
| 6 | CAR<-F2 |
| 7 | CAR<-CAR+1 |
| 8 | CAR<-SBR |
| 9 | SBR<-CAR+1, CAR<-F1 |
| 10 | SBR<-CAR+1, CAR<-F2 |
| 11 | PC<-PC+1 |
| 12 | SD<-SD+1, FLAGS Z |
| 13 | SD<-SD+1 |
| 14 | SD<-SD-1, FLAGS Z |
| 15 | SD<-SD-1 |
| 16 | SD<-shr SD, FLAGS ZCN |
| 17 | SD<-shr SD |

| Nº | Micro-Instrução |
|---|---|
| 18 | SD<-015h |
| 19 | SD<-00Fh |
| 20 | SD<-001h |
| 21 | RD<-shr RD, FLAGS ZCN |
| 22 | RD<-shr RD |
| 23 | RD<-RD+1, FLAGS Z |
| 24 | RD<-RD+1 |
| 25 | RD<-RD-1, FLAGS Z |
| 26 | RD<-RD-1 |
| 27 | RD<-R0 |
| 28 | R8<-R8+1, FLAGS Z |
| 29 | R8<-R8+1 |
| 30 | R8<-R8-1, FLAGS Z |
| 31 | R8<-R8-1 |
| 32 | R8<-R8 or SD, FLAGS Z |
| 33 | R8<-R8 or SD |
| 34 | R8<-R8 and SD, FLAGS Z |

| Nº | Micro-Instrução |
|---|---|
| 35 | R8<-R8 and SD |
| 36 | R8<-015h |
| 37 | R8<-00Fh |
| 38 | R8<-001h |
| 39 | EA<-shr EA, FLAGS ZCN |
| 40 | EA<-shr EA |
| 41 | EA<-EA+1, FLAGS Z |
| 42 | EA<-EA+1 |
| 43 | EA<-EA-1, FLAGS Z |
| 44 | EA<-EA-1 |
| 45 | EA<-EA or SD, FLAGS Z |
| 46 | EA<-EA or SD |
| 47 | EA<-EA and SD, FLAGS Z |
| 48 | EA<-EA and SD |
| 49 | EA<-015h |
| 50 | EA<-00Fh |
| 51 | EA<-001h |

## II

2.1 Considere um sistema com um processador de 16 bits com 20 linhas de endereço – de A19 (maior peso) a A0 (menor peso). Neste sistema existem 3 circuitos de memória:

- ROM M1 – Possui 256 k palavras e ocupa a gama de endereços mais elevados.
- RAM M2 – Possui 128k palavras e ocupa a gama de endereços mais baixos.
- RAM M3 – Idêntica e contígua à M2.

a) Indique na folha de respostas quais as funções de descodificação destas memórias. **(1)**

(Notas: MS – memory select ; -X = not X )

| |
|---|
| A: MS1 = A19.A18 ; MS2 = -A19.-A18.-A17 ; MS3 = -A19.-A18.A17 |
| B: MS1 = A1.A0 ; MS2 = -A2.-A1.-A0 ; MS3 = -A2.-A1.A0 |
| C: MS1 = A19.A18 ; MS2 = -A19.-A18.A17 ; MS3 = -A19.-A18.-A17 |
| D: MS1 = A19.A18 ; MS2 = -A19.-A18 ; MS3 = -A19.A18 |
| E: MS1 = -A19.-A18 ; MS2 = A19.A18.-A17 ; MS3 = A19.A18.A17 |
| F: Nenhuma das funções anteriores está correcta. |

b) Indique a dimensão do espaço de endereçamento não ocupado pelas memórias. **(0,5)**

| | | | | | |
|---|---|---|---|---|---|
| A: 128 k palavras. | B: 64 k palavras. | C: 256 k palavras. | D: 512 k palavras. | E: 500 k palavras. | F: Nenhuma das opções anteriores. |

c) Qual das seguintes afirmações relativas a este sistema está correcta? **(0,5)**

| | |
|---|---|
| A: | O código está armazenado persistentemente na memória M1. As memórias M2 e M3 só podem armazenar dados globais e a pilha. |
| B: | O código de base está armazenado persistentemente na memória M1. M2 e M3 podem armazenar dados e carregar também partes do código. |
| C: | O código e as variáveis globais estão armazenados na memória M1. As variáveis locais da rotinas e a pilha são armazenadas em M2 e M3. |
| D: | O código de base e as variáveis do sistema estão armazenados na memória M1. M2 e M3 podem armazenar dados e carregar parte de código. |
| E: | Nenhuma das afirmações anteriores está correcta. |

2.2 Considere um processador como o P3, com um espaço de endereçamento de 64k palavras de 16 bits e uma cache de mapeamento directo só para dados, com capacidade de 2k palavras e blocos de 4 palavras. Existe uma cache separada e idêntica para o código. Considere a cache inicialmente vazia. Neste sistema executa-se o seguinte programa.

```
SIZE   EQU    1000h
       ORIG   8000h
A      TAB    SIZE
B      TAB    SIZE
C      TAB    SIZE

       ORIG   0000h
       MOV    R4,SIZE
       DEC    R4
Loop:  MOV    R3,M[R4+B]
       ADD    R3,M[R4+C]
       SHR    R3,1
       MOV    M[R4+A],R3
       DEC    R4
       BR.NN  Loop
```

a) Indique na folha de resposta qual é a política de substituição desta cache. **(0,5)**

b) Indique na folha de resposta qual é o *hit rate* na cache de dados ao executar este programa. **(1)**

| | | | | | |
|---|---|---|---|---|---|
| A: 0% | B: 25% | C: 33% | D: 50% | E: 75% | F: Nenhuma das opções anteriores. |

c) Indique a partir de que grau de associatividade se maximizava o *hit rate* na cache de dados, mantendo as restantes características da cache. **(1)**

| | | | | | |
|---|---|---|---|---|---|
| A: 2 vias. | B: 4 vias. | C: 8 vias. | D: 16 vias. | E: O *hit rate* não varia com estes níveis de associatividade. | F: Nenhuma das opções anteriores. |

d) Indique como variava o *hit rate* global se o sistema possuísse uma única cache para código e dados com a mesma organização mas com 4k palavras de capacidade. **(0,5)**

| | |
|---|---|
| A: | O *hit rate* global quase não variava. |
| B: | O *hit rate* global aumentava ligeiramente. |
| C: | O *hit rate* global aumentava significativamente. |
| D: | O *hit rate* global diminuía ligeiramente. |
| E: | O *hit rate* global diminuía significativamente. |
| F: | Nenhuma das afirmações anteriores está correcta. |

e) Que características deve ter a cache que armazena o código? **(0,5)**

| | |
|---|---|
| A: | Deve ter uma política de substituição *aleatória*. A política LRU aplica-se mais a caches de dados. |
| B: | Deve ter uma política de escrita *write-back*. |
| C: | Deve ter dimensão superior à da cache de dados para atingir o mesmo nível de *hit rate*. |
| D: | Os blocos da cache devem ter a dimensão da página de memória virtual. |
| E: | Deve ter um número de vias de associatividade e dimensão do bloco que maximizem o *hit rate*. |
| F: | Nenhuma das afirmações anteriores está correcta. |

f) Num sistema sem cache o tempo de acesso à memória é 100 ns. Para que valor de *hit rate* na cache é vantajosa a inclusão de uma cache entre o processador e a memória, sabendo que o tempo de acesso à cache é 20 ns e só é lançado o acesso à memória após o teste do *hit/miss* na cache. **(1,5)**

| | |
|---|---|
| A: | É sempre vantajoso incluir cache. |
| B: | Hit rate < 20% |
| C: | Hit rate > 20% |
| D: | Hit rate > 30% |
| E: | Hit rate > 45% |
| F: | Nenhuma das opções anteriores está correcta. |

(continua)

III

3.1 Considere uma comunicação série assíncrona com as seguintes características específicas: 6 bits de dados, paridade par e 2 stop bits. Analise os diagramas temporais abaixo e indique na folha de resposta qual satisfaz às características indicadas. **(1,5)**

**A**

**B**

**C**

**D**

**E** Nenhuma das anteriores

3.2 Pretende-se transferir um ficheiro com 4500 bytes usando comunicação série assíncrona com as seguintes características específicas: 6 bits de dados, bit de paridade ímpar e com dois stop bits. O ritmo de transmissão é de 1200 bps. Indique, na folha de respostas, qual o tempo mínimo necessário à transferência do ficheiro. **(1,5)**

**A:** 3,75 s **B:** 37,5 s **C:** 45 s **D:** 50 s **E:** 300 s **F:** Nenhum dos anteriores

3.3 Dois sistemas dialogam entre si usando comunicação série síncrona em que a *flag* delimitadora é constituída pelo padrão 0111 1110 e em que é usada a técnica *bit stuffing*.

Se o emissor pretender enviar a sequência de bits indicada abaixo, seguida de uma *flag*, indique na folha de respostas, de entre as alternativas apresentadas, qual a sequência de bits que é transmitida na linha de comunicação. **(1)**

Sequência de bits a enviar:

1 1 0 1 1 1 0 0 1 1 1 1 1 0 1 1 1 1 1 1 0 1 0 + *flag*

Sequência de bits transmitidos na linha de comunicação:

A: 1 1 0 1 1 1 0 0 1 1 1 1 1 0 0 1 1 1 1 1 0 1 0 1 0 0 1 1 1 1 1 1 0

B: 1 1 0 1 1 1 0 0 1 1 1 1 1 0 1 1 1 1 1 0 1 0 1 0 0 1 1 1 1 1 1 0

C: 1 1 0 1 1 1 0 0 1 1 1 1 1 0 0 1 1 1 1 1 0 1 0 1 0 0 1 1 1 1 1 0 1 0

D: 1 1 0 1 1 1 0 0 0 1 1 1 1 1 0 0 1 1 1 1 1 0 1 0 1 0 0 1 1 1 0 1 1 1 0

E: Nenhuma das anteriores

3.4 Indique na folha de respostas se as seguintes afirmações são verdadeiras (**V**) ou falsas (**F**).

A - Os PICS oferecem a capacidade de mascarar interrupções. **(1)**

B - Os PICs indicam ao processador qual o periférico que solicitou a interrupção usando o bus de dados.

C - Um sistema que possua um processador só com uma entrada de interrupção só pode tratar um periférico por interrupção e os demais por polling.

D - Num sistema que use interrupções vectorizadas existe apenas uma rotina de interrupção que, em função do vector de interrupção, salta para o código específico do periférico.

3.5 Equaciona-se equipar um sistema com um controlador DMA. Para cada uma dos periféricos abaixo, assinale na folha de respostas os que justificam o uso de DMA (responda **S**) e os que não justificam o seu uso (responda **N**). **(1)**

A - Teclado

B - Rato

C - Disco rígido

D - Modem de 1200 bps

E - Memória Cache