

Arquitetura de Computadores
2005/2006 2º Semestre
Repescagem 2º Teste - 10/07/2006

Número: _____ Nome: _____

INSTRUÇÕES:

- A duração da prova é de 2 horas.
- Preencha imediatamente o seu número e nome de forma bem legível; identifique todas as folhas.
- Responda apenas no presente enunciado; não serão aceites folhas adicionais. Seja sucinto.
- Cada grupo deve ficar em folhas separadas. Pode usar o verso das folhas para rascunho.
- A cotação das perguntas está indicada entre parênteses à direita do texto.

I

As perguntas deste grupo referem-se todas ao processador P3 e são independentes entre si.

1.1 Indique, em linguagem de transferência de registos, quais as micro-operações realizadas pela micro-instrução FFC1E1FC h. **(1)**

1.2 Considere que se pretende que as seguintes micro-operações se realizem num único ciclo de relógio:

$CAR \leftarrow WB, M[EA] \leftarrow EA, R7 \leftarrow 0, \text{Flag } Z$

Indique uma micro-instrução que faz com que isso aconteça (indique os campos relevantes da micro-instrução; não indique campos cujo valor seja indiferente) ou justifique que tal não é possível. **(1,5)**

1.3 Pretende-se implementar no processador P3 a instrução ABSD (*Absolute Difference*)

ABSD op1, op2

que retorna em op1 o valor absoluto da diferença dos operandos de entrada op1 e op2. Apenas o bit de estado Z deverá ser alterado.

Exemplo: Se $R1 = \text{FFFFh} = -1$ e $M[\text{Data}] = \text{0003h}$, o resultado da execução da instrução ABSD R1, M[Data] deverá ficar guardado em R1 com $R1 = \text{0004h}$ e a flag $Z=0$.

Nota: Os operandos poderão usar qualquer dos modos de endereçamento válidos do P3.

Escreva um micro-programa para a fase de execução desta instrução. Não precisa calcular o valor binário das micro-instruções, apenas indicar em linguagem de transferência de registos as operações realizadas em cada uma (use apenas as posições da tabela que achar necessárias). (2,5)

Endereço simbólico	Transferência entre registos
ABSD0	
ABSD1	
ABSD2	
ABSD3	
ABSD4	
ABSD5	
ABSD6	
ABSD7	
ABSD8	
ABSD9	
ABSD10	
ABSD11	

II

2.1 Considere um processador com um espaço de endereçamento físico de 4G palavras, cada uma com 32 bits. Este processador encontra-se ligado a uma cache de 1M octetos, utilizando 2 vias de associatividade e blocos de 8 palavras.

a) Indique, justificando, a largura dos campos de índice, etiqueta e deslocamento tal como interpretado por esta cache. (1)

b) Considere que esta cache é utilizada num sistema com 2 níveis de cache L1 e L2. A cache de 1º nível tem uma taxa de sucesso de 75%, com um tempo de acesso de 8ns. A cache de 2º nível tem uma taxa de sucesso de 90%, com um tempo de acesso de 20ns. O tempo de acesso à memória principal é de 100ns. Calcule o tempo médio para um acesso de leitura. (1)

2.2 Considere um sistema de memória virtual paginada de um dado processador. O espaço de endereçamento virtual é constituído por 16 páginas, cada uma com 32 palavras. O espaço de endereçamento físico é constituído por 8 páginas. Num dado instante, a tabela de páginas é a seguinte

Válido	Nº Pág.Virtual	Nº Pág.Física
1	0	3
0	1	-
0	2	-
1	3	7
1	4	2
0	5	-
1	6	1
0	7	-



Válido	Nº Pág.Virtual	Nº Pág.Física
0	8	-
0	9	-
1	10	0
1	11	5
0	12	-
1	13	6
1	14	4
0	15	-

a) Indique, justificando, quantos bits são necessários para representar o deslocamento. (1)

b) Indique, justificando, quantos bits são necessários para representar um endereço virtual e um endereço físico. (1)

c) Suponha que o processador acede às posições de memória dadas na tabela seguinte. Caso se trate de um endereço presente na memória física, indique o respectivo endereço físico. Caso contrário, assinale **P** (*Page Fault*). (1)

End. Virtual	End. Físico / <i>Page Fault</i>
1B8h	
075h	
126h	
0CAh	

2.3 Considere um sistema com memória virtual paginada com dimensão de 4G palavras, utilizando páginas de 2k palavras e uma TLB de 64 entradas. O espaço de endereçamento da memória física é de 512M palavras. A unidade de Gestão de Memória (UGM) utiliza um sistema de tradução hierárquico com dois níveis, em que cada uma das tabelas de primeiro nível ocupa o espaço correspondente a uma página.

Assuma que se ligou agora o computador e que o processador efectua duas leituras em seguida para os seguintes endereços: C3954A37h e C39549F3h.

Descreva detalhadamente o processo de tradução dos endereços virtuais para endereços físicos admitindo que, após a tradução, o número da página física correspondente ao primeiro endereço virtual é 3D971h. (2)

III

3.1 Considere uma comunicação série assíncrona em que são enviados 8 bits de dados, um bit de paridade (é usada paridade ímpar) e dois stop bits.

a) Represente no diagrama temporal abaixo o envio do caracter 'C' (43h) imediatamente seguido do caracter ':' (3Ah), após o que a linha fica inactiva.

Nota: Relembra-se que, nos bits de dados, é enviado primeiro o bit menos significativo.

(1,5)



b) Assuma que o ritmo de transmissão é de 9600 bps. Indique o tempo que demora a enviar os dois caracteres nas condições indicadas na alínea anterior. **(1)**

3.2 Considere uma comunicação série síncrona com um protocolo orientado ao bit e em que é usada a *flag* 01111110. Se na linha de comunicação for recebida a sequência de bits indicada a seguir, indique por baixo qual a informação útil recebida. **(1)**

0 1 1 1 1 1 1 0 1 1 1 1 1 0 1 1 0 0 0 0 1 1 1 1 1 0 0 1 1 1 1 1 1 0

3.3 Considere um computador que usa um PIC - Programmable Interrupt Controller.

a) Indique uma razão para o uso do PIC. **(0,5)**

b) Aquando de um pedido de interrupção, explicita como o PIC indica ao processador qual a rotina de tratamento de interrupção a ser chamada. **(1)**

IV

4.1 Indique se as seguintes afirmações são verdadeiras ou falsas.

(NOTA: Cada pergunta certa +0,5; cada pergunta errada -0,5; valor mínimo do grupo: 0)

a) Considere um processador com um barramento de endereços de 16 bits no qual se pretende instalar uma memória RAM com 8K, localizada a partir do endereço 2000h. O circuito de descodificação da memória (que comanda o *chip-select*) usa 3 linhas de endereço.

Verdadeiro Falso

b) Num sistema que use um controlador de DMA um periférico solicita uma transferência de informação activando a linha *Bus_Request*.

Verdadeiro Falso

c) Num protocolo de *handshaking* duplo o emissor inicia uma transferência activando o sinal *Data_Valid*. Em resposta o receptor activa o sinal ACK informando estar pronto a receber. A partir desse momento os dados são disponibilizados devendo o receptor lê-los dentro de um tempo pré-definido.

Verdadeiro Falso

d) O uso da técnica em que uma linha de interrupção é partilhada por vários periféricos permite poupar recursos e obter o mesmo desempenho que quando cada periférico usa uma linha de interrupção independente.

Verdadeiro Falso

e) Nas caches com uma política de escrita *write-through* as escritas são efectuadas simultaneamente na cache e na memória.

Verdadeiro Falso

f) Numa cache completamente associativa os dados podem estar em qualquer linha da cache.

Verdadeiro Falso