

Arquitetura de Computadores

2005/2006 2º Semestre

2º Teste - 16/06/2006

Número: _____ Nome: _____

INSTRUÇÕES:

- A duração da prova é de 2 horas.
- Preencha imediatamente o seu número e nome de forma bem legível; identifique todas as folhas.
- Responda apenas no presente enunciado; não serão aceites folhas adicionais. Seja sucinto.
- Cada grupo deve ficar em folhas separadas. Pode usar o verso das folhas para rascunho.
- A cotação das perguntas está indicada entre parênteses à direita do texto.

I

As perguntas deste grupo referem-se todas ao processador P3 e são independentes entre si.

1.1 Indique, em linguagem de transferência de registos, quais as micro-operações realizadas pela micro-instrução 7140639C h. **(1)**

1.2 Considere que se pretende que as seguintes micro-operações se realizem num único ciclo de relógio:

$CAR \leftarrow SBR, R6 \leftarrow FFFFh, M[0] \leftarrow RI$

Indique uma micro-instrução que faz com que isso aconteça (indique os campos relevantes da micro-instrução; não indique campos cujo valor seja indiferente) ou justifique que tal não é possível. **(1,5)**

1.3 Pretende-se implementar no processador P3 a instrução JMPS (Jump on Sign)

JMPS op1, op2

em que op1 e op2 referenciam dois endereços. Dependendo do sinal do resultado da última instrução aritmética deverá ser realizado um salto absoluto para:

- O endereço dado pelo operando op1, caso o sinal seja negativo
- O endereço dado pelo operando op2, caso o sinal seja positivo.

Se o resultado for zero, não deve ser realizado qualquer salto, executando-se a instrução seguinte.

Nota: Os endereços de salto poderão ser indicados com qualquer dos modos de endereçamento válidos do P3.

Escreva um micro-programa para a fase de execução desta instrução. Não precisa calcular o valor binário das micro-instruções, apenas indicar em linguagem de transferência de registos as operações realizadas em cada uma (use apenas as posições da tabela que achar necessárias). (2,5)

Endereço simbólico	Transferência entre registos
JMPS0	
JMPS1	
JMPS2	
JMPS3	
JMPS4	
JMPS5	
JMPS6	
JMPS7	
JMPS8	
JMPS9	
JMPS10	
JMPS11	

d) Suponha que o sistema é modificado por forma a que esta cache passe a funcionar com duas vias de associatividade (mantendo a capacidade total de 2K octetos). Quais são as alterações em termos da forma como o endereço é interpretado? **(1)**

e) Para cada um dos endereços acedidos, indique na coluna “Mem. 2 Vias” (para cada uma das vias) se o respectivo conteúdo se encontra em cache (**Hit**) ou não (**Miss**). Considere uma política de substituição do tipo LRU. Calcule a taxa de sucesso (hit-rate). **(1,5)**

f) Em termos genéricos, considere que o tempo de acesso à cache é de 8ns e que o tempo de acesso à memória primária é de 64ns. Assumindo que o hit-rate é de 80% calcule o tempo médio de acesso à memória. **(1)**

3.3 Considere um sistema que inclui um controlador de DMA. Indique de forma sucinta os passos que ocorrem desde que um periférico sinaliza que dispõe de dados até esses dados serem transferidos para memória. (1)

IV

4.1 Indique se as seguintes afirmações são verdadeiras ou falsas.

(NOTA: Cada pergunta certa +0,5; cada pergunta errada -0,5; valor mínimo do grupo: 0)

a) Considere um processador com um barramento de endereços de 20 bits no qual se pretende instalar uma memória FLASH com 256K, localizada na parte mais alta do espaço de endereçamento. O circuito de descodificação da memória (que comanda o *chip-select*) usa 2 linhas de endereço.

Verdadeiro Falso

b) Num sistema de memória virtual paginada, o conjunto de bits de controlo do descritor de página inclui normalmente bits de protecção que indicam se a página é acessível para escrita, leitura e execução.

Verdadeiro Falso

c) Um dos bits de controlo de uma cache *write-back* é o *dirty bit*.

Verdadeiro Falso

d) Num protocolo de *handshaking* duplo o sinal de *ready* só pode ser activado se o sinal de *acknowledge* estiver desactivo.

Verdadeiro Falso

e) Na comunicação série síncrona quando não existe informação para transmitir a linha é colocada a "1".

Verdadeiro Falso

f) O procedimento conhecido por *bit stuffing* é usado na comunicação série síncrona com protocolo orientado ao carácter.

Verdadeiro Falso