Arquitectura de Computadores

Ano Lectivo de 2008/2009 — 2º Semestre

Repescagem do 1º Teste — 30 de Junho de 2009 — Duração: 1h30+0h30

- **O teste é sem consulta**, apenas tem disponível o anexo que lhe deverá ter sido entregue com o teste. Por favor, não escreva nesse anexo e devolva-o no final do teste.
- Resolva o teste no próprio enunciado, o espaço reservado para cada pergunta é suficiente para a sua resposta. Tenha em atenção que cada grupo deve ficar em folhas separadas. Utilize as costas das folhas para rascunho.
- Identifique todas as folhas que entregar, **folhas não identificadas não serão cotadas!**
- Responda ao teste com calma. Se não sabe responder a uma pergunta, passe à seguinte e volte a ela no fim.

I. (1 + 1 + 1 + 2 = 5 val.)

Considere os seguintes valores para os registos do processador P3:

R1	R2	R3	R4	R5	R6	R7	PC	SP	RE
1C3Eh	3C51h	F740h	ADC2h	BFDFh	012Ch	004Dh	DCF6h	BFD8h	0005h

Para as perguntas 1, 2 e 3, indique quais são os novos valores, em hexadecimal, de todos (**e apenas**) os registos que são escritos na execução de cada instrução. Use **?** para indicar que não tem informação suficiente para determinar o novo valor de um registo.
As perguntas são independentes, isto é, assuma como **valores iniciais** para cada pergunta os indicados na tabela acima.

1. `ADDC R4,1AFCh`

R1	R2	R3	R4	R5	R6	R7	PC	SP	RE

2. `ROLC R5,2`

R1	R2	R3	R4	R5	R6	R7	PC	SP	RE

3. `CALL.N M[SP+FFFFh]`

R1	R2	R3	R4	R5	R6	R7	PC	SP	RE

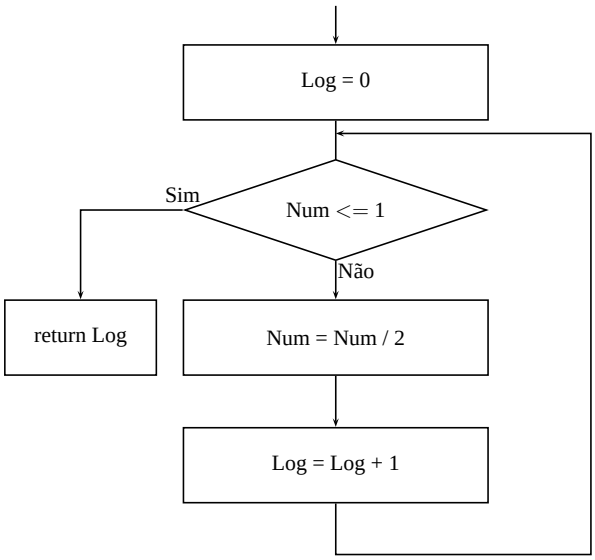
4. Na execução da instrução `SUBB M[SP+2],R3`, indique na tabela seguinte qual é a sequência de acessos à memória, especificando o valor do barramento de endereços, do barramento de dados e tipo de acesso (leitura/escrita).
   Nota 1: a tabela tem 5 posições, utilize apenas as que achar necessárias.
   Nota 2: utilize os valores iniciais dos registos indicados na tabela no cimo desta página.
   Nota 3: use **?** para indicar que não tem informação suficiente para determinar um dado valor.

	Endereço	Dados	Leitura/Escrita
1			
2			
3			
4			
5			

Número:_____ Nome:_____

II. (3 + 1,5 = 4,5 val.)

Considere uma rotina descrita pelo seguinte fluxograma:



1. Escreva esta rotina em Assembly do P3. Assuma que os parâmetros de entrada e de saída são passados pela pilha, colocados na seguinte ordem: `Log`; `Num`.

2. Descreva a alto nível, e de forma sucinta, a função realizada por esta rotina.

III. (1,5 + 1 + 1,5 + 1,5 = 5,5 val.)

Considere o seguinte excerto de um programa para o processador P3.

```
BASETIME    EQU  300
TIMER_UNITS EQU  FFF6h
TIMER_CTRL  EQU  FFF7h

            ORIG 8000h
DataReady   WORD 0
Pointer     TAB  1
DataSpace   TAB  1024

            ORIG 0000h
            ...

Timer:      MOV  R1, BASETIME
            MOV  M[TIMER_UNITS], R1
            MOV  R1, 1h
            MOV  M[TIMER_CTRL], R1
            CALL ReadData
            INC  M[DataReady]
            RTI


Data_IO:    MOV  R1, DataSpace
            MOV  M[Pointer], R1
            PUSH R0
            CALL Timer              ; Timer Initialization
            ...
DataLoop:   CMP  M[DataReady], R0
            BR.Z DataLoop
            MOV  M[DataReady], R0
            CALL StoreData
            INC  M[Pointer]
            ...
            BR   DataLoop
```

1. Considere que, por lapso, se termina a rotina de tratamento de interrupção com a instrução `RET`, em vez de `RTI`. Diga, justificando, todas as implicações deste erro.

2. Explique de que forma é feita a primeira inicialização do temporizador. Considera correcto o procedimento utilizado? Justifique a sua resposta.

3. Indique os passos de inicialização necessários para que a rotina `Timer` fique associada à interrupção com o vector 15. Exemplifique através de instruções/pseudo-instruções do assembly do P3.

4. Considere que a rotina `ReadData` efectua a leitura de 64 caracteres a partir do teclado. Indique, justificando, uma situação em que o funcionamento do programa seja diferente do esperado.

IV. (1 + 1 + 3 = 5 val.)

1. Considere o seguinte código do P3:

```
          ORIG  ABCDh
A         TAB   64h
B         STR   'Abril', 0
C         WORD  35h
Func:     MUL   R1, M[R3]
          MOV   R2, R0
Ciclo:    CMP   R1, M[SP+3]
```

   Determine o endereço de memória atribuído à etiqueta `Ciclo`.

2. Utilizando apenas uma instrução Assembly do P3, indique 3 formas diferentes de colocar o bit de estado `N` a 1, sem modificar nenhum registo (os outros bits de estado podem ser alterados). A mesma instrução não pode ser repetida em nenhuma das alternativas.

3. Indique se as seguintes afirmações são verdadeiras ou falsas:

a) Em representação de complemento para 2 e utilizando 16 bits, não é possível representar o simétrico do número 8000h.

☐ Verdadeiro ☐ Falso ☐ Depende

b) FFFFh representa, em vírgula fixa e em complemento para 2, o valor -0,5.

☐ Verdadeiro ☐ Falso ☐ Depende

c) A seguinte sequência de instruções no P3 deixa o bit de estado transporte a 1.

```
MOV   R1, R0
ADDC  R1, FFFFh
```

☐ Verdadeiro ☐ Falso ☐ Depende

d) As instruções em código objecto do P3 `5555h` e `57D5h` são em tudo equivalentes.

☐ Verdadeiro ☐ Falso ☐ Depende

e) A instrução `CALL func` é em tudo equivalente a se executar

```
PUSH  PC
JMP   func
```

☐ Verdadeiro ☐ Falso ☐ Depende